

Avant-propos

« Pour les aider à se débarrasser de tout ce qu'il ne fallait pas savoir, les Shadoks avaient créé l'Antimémoire. C'était un grand machin à base de mécaniques subtiles telles que poubelles à tiroir, concasseurs de connaissances, broyeurs à savoir, etc. »

Les Shadoks¹, concernant l'ordinateur

Les systèmes informatiques (matériels et logiciels) deviennent de plus en plus complexes, enfouis et transparents. Il devient alors difficile de retrouver les concepts de base pour comprendre finement leur fonctionnement. Pour y arriver, une voie est de s'intéresser à l'histoire du domaine. Une deuxième voie est de s'imprégner de la technologie par la lecture de brevets et de feuilles de caractéristiques (*datasheets*) de composants électroniques. Une dernière, et non des moindres, est de lire des articles de recherche. Nous avons essayé de suivre ces trois voies tout au long de la rédaction de cette série d'ouvrages, dans le but d'expliquer le fonctionnement matériel de la fonction de mémorisation dans un ordinateur, sous la forme d'un composant ou d'un

1. Créés par Jacques Rouxel, les Shadoks sont les personnages principaux d'un dessin animé expérimental issu du Service de la recherche de l'Office de radiodiffusion-télévision française (ORTF). Ce feuilleton quotidien culte d'une durée de 2 minutes était diffusé sur la première chaîne de l'ORTF (la seule à l'époque !) à partir de 1968. Ces oiseaux étaient dessinés de manière schématique et rapide grâce à l'appareil expérimental appelé *animographe*. Les Shadoks sont ridicules, bêtes et méchants. Ils sont dotés de moyens intellectuels parfaitement anormaux. Par exemple, ils sont connus pour le fait de pomper, on ne sait plus pour quelle raison ! Le vocabulaire de leur langue se résume à quatre mots : GA, BU, ZO et MEU qui sont aussi les quatre chiffres de leur système de numération (c'est-à-dire la base 4) et les notes musicales de leur gamme tétratonique. Leur philosophie se résume à des devises célèbres comme celle citée dans cet ouvrage.

(sous-)système complet comme un ensemble de barrettes mémoires lié à un canal ou un périphérique de mémoire de masse.

À propos de cette série d'ouvrages

Dans cette deuxième série d'ouvrages, nous nous intéressons à une fonction essentielle de l'ordinateur qui est la mémorisation, les deux autres fonctions étant le calcul, abordé dans les volumes 1 à 5 de *Le microprocesseur* (Darche 2021a, 2021b, 2021c, 2021d, 2021e), et la communication. Plus de soixante-dix années de recherche et d'industrialisation sont retracées. L'ordre de présentation des modèles de mémoires a été choisi selon une complexité croissante des concepts de mémorisation et de l'interfaçage.

Le volume 1 (Darche 2025a) est l'objet des prolégomènes à ce domaine. Après une présentation des caractéristiques principales d'une mémoire générique, des technologies passées et présentes et une définition du concept de hiérarchie des mémoires, il s'intéresse à l'organisation fonctionnelle interne d'une mémoire générique à semi-conducteurs (*solid-state or semiconductor memory*) à accès aléatoire en présentant ses principaux blocs fonctionnels. Les aspects externes d'un système de mémoires sont ensuite développés comme l'interfaçage, l'amélioration des performances et la notion de couplage. Des notions complémentaires comme le cadrage et l'ordre de rangement des informations, la topographie de la mémoire et la détection/correction des erreurs concluent l'ouvrage. Une introduction aux codes détecteurs et correcteurs d'erreur est proposée en annexe.

Le volume 2 (Darche 2025b) s'intéresse à la cellule de mémorisation statique et au composant associé nommé mémoire vive statique. Une première partie présente les caractéristiques temporelles principales d'une mémoire à accès aléatoire et ses caractéristiques électriques et mécaniques dont l'encapsulation classique d'un circuit intégré et celle spécifique à cette catégorie de composants. Une seconde partie détaille la première catégorie de mémoires vives à semi-conducteurs à accès aléatoire ou RAM (*Random Access Memory*), qui est le modèle statique en version asynchrone désigné sous l'acronyme SRAM (*Static RAM*). En particulier, ses caractéristiques temporelles, électriques et mécaniques sont détaillées. L'annexe rappelle le fonctionnement de la diode et du transistor et elle détaille les familles logiques.

Le volume 3 (Darche 2026) a pour sujet la mémorisation dynamique qui repose sur le stockage de charges électriques dans un condensateur. Il étudie la cellule de mémorisation associée et le fonctionnement interne de la zone de mémorisation. Le composant se nomme « mémoire vive dynamique » et il est désigné, en version asynchrone, sous l'acronyme DRAM (*Dynamic Random Access Memory*). Son interface externe

et ses différents modes d'accès sont ensuite détaillés. La présentation des organisations avancées comme l'architecture multibanque et la mémoire embarquée et les nouvelles structures de cellules avec, en particulier les approches 3D et sans capacité, terminent l'ouvrage.

Le présent volume aborde les versions synchrones des mémoires vives basées sur la communication par cycles désignées sous les acronymes SSRAM et SDRAM, la première lettre de leur acronyme signifiant *Synchronous*. En particulier, le chapitre 1 détaille le mécanisme de pipeline sous-jacent à leur fonctionnement et la notion de machine à états précède cette présentation. Les deux chapitres suivants présentent le modèle synchrone de la mémoire statique en versions de base et évolué. Selon la même organisation, les versions dynamiques à simple et double accès synchrones sont étudiées respectivement dans les chapitres 4 et 5.

Le volume 5 complète le présent volume puisqu'il présente, dans une première partie, des modèles spécialisés basse consommation ou pour équipements réseau et des architectures évoluées de SDRAM. Les problèmes d'intégrité du signal du sous-ensemble mémoire sont aussi abordés. La seconde partie est consacrée aux versions synchrones basées sur la communication par paquets. Deux familles sont décrites, les RDRAM pour *Rambus DRAM* et la SLDRAM pour *Synchronous-Link DRAM*.

Le volume 6 est consacré à la version non volatile des mémoires à semi-conducteurs (NVM). Une première partie détaille la mémoire morte ou ROM (*Read-Only Memory*) qui est indispensable à l'ordinateur, qu'il soit à usage général ou spécialisé comme un système embarqué (SEm). Sa caractéristique principale est l'absence de volatilité, c'est-à-dire la persistance de l'information avec l'arrêt de l'alimentation électrique. Elle stocke le micrologiciel ou *firmware* avec, en particulier, les programmes d'initialisation, de test et d'amorce (*boot*, voir section 3.5.3 de (Darche 2021e)) exécutés à la mise en route et des informations de configuration qui, en leur absence, feraient que l'ordinateur ne pourrait démarrer. Les technologies actuelles de fabrication des circuits intégrés atteignent leurs limites. C'est ce que les spécialistes nomment le mur de briques rouges (*red brick wall*, voir la section 1.5 de (Darche 2021a)), qui est la limite physique de la finesse de gravure des circuits intégrés. La seconde partie présente les mémoires émergentes qui tentent de dépasser cette contrainte. Elles sont soit au stade industriel, soit au stade du prototype, au niveau de la puce ou de la cellule de mémorisation, voire du concept. Les modèles industriels présentés sont les mémoires ferroélectriques, magnétiques et à changement de phase.

Le volume 7 avec les mémoires vives spécialisées s'intéresse aux politiques de gestion (*management strategy or policy*) de la mémoire autre que l'accès aléatoire. Les politiques simples comme celle de « la donnée la première entrée est la première

sortie » de la file ou celle de « la donnée la dernière entrée est la première sortie » de la pile y sont d'abord étudiées. Des modèles de mémoires dont l'interface ou la structure interne diffère de la DRAM classique mais qui restent à accès aléatoire, au moins pour un port de communication, sont ensuite présentés. Il s'agit des mémoires à pseudo-interface, à antémémoire et à applications spécifiques destinées en particulier à l'affichage.

Le volume 8 aborde la notion de cache. Ce mécanisme fonctionnellement transparent joue un rôle essentiel dans la hiérarchie des mémoires, car il permet d'améliorer de manière significative les performances des microprocesseurs modernes (c'est-à-dire à partir des années 1990) et des périphériques, principalement de mémorisation.

Le volume 9 détaille la notion de mémoire virtuelle (MV). Elle a été proposée pour répondre à trois besoins essentiels de l'ordinateur. Il s'agit de la protection, de la translation de zone(s) mémoire(s) et de l'accroissement de la taille de l'espace de programmation. La réponse globale a été la correspondance d'adresse (*address mapping*) en séparant la mémoire logique de la mémoire physique grâce à des adressages distincts.

Les références dans le texte suivent la convention suivante : « voir section V1-4.3 », par exemple, signifie se référer à la section 4.3 du volume 1, c'est-à-dire de (Darche 2025a). Sans indication d'un numéro de volume, il s'agit d'une référence dans le volume courant.

La forme italique est utilisée pour des termes en langue étrangère comme l'anglais ou ancienne comme le latin.

Une organisation à plusieurs niveaux

Chaque volume de la série glisse progressivement du conceptuel vers l'implémentation matérielle. La pédagogie a été mon souci principal, sans pour autant négliger l'aspect formel. La lecture se veut à plusieurs niveaux. Chaque lecteur puisera les connaissances adaptées avant d'aborder la compréhension de certaines parties plus difficiles. Les connaissances, à quelques exceptions près, ont été présentées linéairement et de la manière la plus exhaustive possible. Des exemples concrets puisés dans les technologies anciennes et actuelles illustrent les concepts théoriques.

Si nécessaire, des exercices complètent l'apprentissage en étudiant de manière plus approfondie certains mécanismes. Chaque volume se termine par les références bibliographiques renvoyant aux articles de recherche, aux ouvrages ou aux brevets à l'origine des concepts et ceux, plus récents, reflétant l'état de l'art. Ces références permettent

au lecteur de trouver plus de renseignements ou d'informations théoriques. Une liste des acronymes employés et un index couvrant l'ensemble de l'ouvrage s'y trouvent aussi.

Cette série d'ouvrages consacrée à la mémorisation dans les ordinateurs est le fruit de plus de quarante ans de pérégrinations dans les mondes électronique, micro-électronique et informatique. J'espère qu'elle vous apportera une connaissance suffisante, à la fois pratique et théorique pour, ensuite, vous spécialiser dans l'un de ces domaines. Je vous souhaite pour ce quatrième volume une agréable balade dans ces différents mondes...

REMARQUE. Il ne s'agit pas d'un ouvrage sur la technologie de fabrication des puces mémoires, bien que le sujet soit abordé. Une liste de références bibliographiques est donnée en fin de conclusion.

Comme il s'agit d'un ouvrage introductif au domaine de la mémorisation, des références de composants industriels de toute époque sont citées. Les noms des sociétés sont ceux d'origine, même si certaines ont fusionné. Cela permettra en particulier aux lecteurs de retrouver sur Internet les feuilles de caractéristiques des circuits intégrés cités et les documentations d'origine et de les étudier en relation avec cet ouvrage.

Les concepts présentés reposent sur les notions étudiées dans les ouvrages (Darche 2000, 2002, 2003, 2004, 2021a, 2021b, 2021c, 2021d, 2021e) qu'il est recommandé de lire au préalable.

Introduction

Les volumes 2 et 3 se sont intéressés aux mémoires vives asynchrones appelées aussi « mémoires conventionnelles »¹. L'asynchronisme dans les mémoires à semi-conducteurs ne peut que proposer une borne supérieure du temps de cycle. Pour optimiser au mieux la caractérisation temporelle et pour répondre à des vitesses de fonctionnement de plus en plus élevées, a été conçue, à partir du modèle de base asynchrone, la mémoire synchrone.

Une mémoire se résume à trois blocs fonctionnels (voir figure V2-C.1) qui sont le cœur, sa logique de contrôle et la logique d'interface. Le principe de fonctionnement synchrone repose sur une synchronisation des signaux de l'interface par une horloge externe. Les signaux concernés sont l'adresse, la donnée et les signaux de contrôle.

Cette approche s'est faite en deux étapes. La première a été de simplement mémoriser à l'aide de registres l'adresse et les données entrante et sortante. La deuxième a été de synchroniser les signaux de contrôle et d'organiser la logique interne pour un fonctionnement en pipeline. Le fonctionnement interne n'est donc plus rythmé directement par le changement d'adresse comme dans le modèle asynchrone (voir section V2-6.1).

Le principe de mémorisation de ce type de composant et l'organisation du cœur, lieu du stockage, restent inchangés, quel que soit le modèle, statique ou dynamique, par rapport aux modèles asynchrones. La SRAM (*Static RAM*) utilise comme principe de mémorisation l'auto-entretien d'un état logique. La DRAM (*Dynamic RAM*) stocke l'information binaire sous la forme de charges électriques (électrons) dans un condensateur. Elle nécessite par contre un rafraîchissement périodique de son contenu, le condensateur de stockage imparfait ayant des fuites de courant (*leakage current*).

1. À ne pas confondre avec le nom donné à la mémoire de base (*base memory*), c'est-à-dire les premiers 640 Kio de la mémoire primaire du micro-ordinateur PC d'IBM.

Pour la mémoire à accès aléatoire ou RAM (*Random Access Memory*), il faut distinguer les versions statique et dynamique, respectivement appelées SSRAM (*Synchronous Static RAM*) et SDRAM (*Synchronous Dynamic RAM*).

Le premier chapitre détaille la logique associée au fonctionnement synchrone. Le mécanisme de pipeline est étudié et la notion de machine à états est introduite. Les deux chapitres qui suivent sont consacrés au modèle statique avec les modèles de base et évolué. Suivant la même organisation, les chapitres 4 et 5 présentent les mémoires dynamiques synchrones en versions simple (SDR pour *Single-Data-Rate*) et double (DDR pour *Double-Data-Rate*) accès.