

Table des matières

Avant-propos	1
Introduction	7
Partie 1. Caractéristiques d'une mémoire à semi-conducteurs . . .	11
Chapitre 1. Caractérisation temporelle d'une mémoire à semi-conducteurs à accès aléatoire.	13
1.1. Convention de nommage d'un signal.	13
1.2. Chronogramme.	15
1.3. Normalisation des temps de la mémoire	20
1.4. Mesure d'un temps caractéristique	26
1.5. Temps fondamentaux	26
1.6. Conclusion	32
Chapitre 2. Autres caractéristiques d'une mémoire à semi-conducteurs à accès aléatoire.	33
2.1. Caractéristiques électriques	33
2.2. Caractéristiques diverses	42
2.3. Mesure de performances	43
2.4. Test des mémoires	43
2.5. Conclusion	44

Chapitre 3. Encapsulation	45
3.1. Généralités	45
3.2. Technologies d'interconnexion	50
3.2.1. Microcâblage	50
3.2.2. Transfert automatique sur bande	50
3.2.3. Technologie à puce retournée	50
3.3. Encapsulation 2D monopuce	53
3.3.1. Boîtiers à broches et à plots	53
3.3.1.1. Contacts traversants	54
3.3.1.2. Montage en surface	58
3.3.2. Encapsulation sur substrat	62
3.3.2.1. Matrice à billes	62
3.3.2.2. Matrice de colonnes de soudure	62
3.3.2.3. Matrice de pastilles	63
3.3.2.4. Boîtier-puce	63
3.3.2.5. Pastillage	64
3.4. Intégrations évoluées	65
3.4.1. Module multipuce	65
3.4.2. Concepts associés	66
3.4.2.1. Interposeur et pont	66
3.4.2.2. Puce fragmentée	66
3.4.2.3. Encapsulation au niveau de la tranche	67
3.4.2.4. SoC, SiP, SoP, PoP et PIP	67
3.4.3. Intégration 2,5D	68
3.4.4. Intégration 3D	68
3.4.4.1. Empilement de puces	69
3.4.4.2. Empilement de boîtiers	70
3.4.4.3. Boîtiers repliés	70
3.4.5. Boîtier 3,5D	70
3.5. Caractéristiques techniques	70
3.6. Modélisation électrique	71
3.7. Barrette de mémoires	72
3.7.1. Définition	72
3.7.2. Facteur de forme	74
3.7.2.1. SIMM	74
3.7.2.2. DIMM	79
3.7.2.3. RIMM	92
3.7.2.4. CAMM	94
3.7.3. Connectique	94
3.8. Conclusion	97

Chapitre 4. Aspects électroniques de l'interfaçage	99
4.1. Ligne de transmission.	100
4.1.1. Modélisation.	100
4.1.2. Terminaison	101
4.2. Types d'interconnexion possibles.	103
4.3. Rappel sur l'interface entre deux sous-ensembles logiques.	108
4.4. Égalisation	115
4.5. Alimentation électrique.	117
4.6. L'interface SPMT™	119
4.7. Conclusion	121
 Partie 2. La mémoire vive statique asynchrone	 123
 Chapitre 5. Organisation interne d'une mémoire vive statique asynchrone générique	 125
5.1. Cellule de mémorisation	126
5.2. Organisation générale.	141
5.3. Amplificateur de lecture	146
5.4. Opérations de base.	147
5.5. Implantation	150
5.6. Technologies de fabrication	152
5.7. Stabilité de la cellule	153
5.8. Conclusion	155
 Chapitre 6. La mémoire vive statique asynchrone en tant que composant.	 159
6.1. Le modèle asynchrone	160
6.2. Variations sur le modèle asynchrone	167
6.2.1. La SRAM à accès série	167
6.2.2. La mémoire vive sauvegardée	167
6.3. Conclusion	171
 Conclusion.	 173
 Annexe 1. Composants actifs de la mémorisation	 177

Annexe 2. Exercices	183
Liste des acronymes	189
Bibliographie	207
Index	221
Sommaire de <i>La mémorisation dans les ordinateurs 1</i>	231