

Table des matières

Avant-propos	1
Introduction	5
Chapitre 1. La fonction de mémorisation	7
1.1. Caractéristiques principales	7
1.1.1. Support de mémorisation	8
1.1.2. Capacité de mémorisation et unités de mesure	8
1.1.3. Organisation	11
1.1.4. Politiques d'accès	12
1.1.5. Types d'accès	14
1.1.6. Permanence de l'information	15
1.1.7. Caractéristiques temporelles	15
1.2. Modélisation	19
1.3. Aspects technologiques et historiques	20
1.3.1. Technologies mécaniques des calculatrices.	20
1.3.2. Technologies de mémoire centrale des ordinateurs modernes.	21
1.3.2.1. Les mémoires électrostatiques	26
1.3.2.2. La ligne à retard	27
1.3.2.3. La mémoire à tores de ferrite.	27
1.3.2.4. Technologies à semi-conducteurs	32
1.3.2.5. Frise historique	33
1.4. La mémorisation dans un micro-ordinateur	34
1.5. Hiérarchisation des mémoires	38
1.6. Conclusion	47

Chapitre 2. Organisation interne d'une mémoire à semi-conducteurs à accès aléatoire.	49
2.1. Organisation interne de base.	50
2.2. Organisation interne détaillée	62
2.2.1. Logique statique <i>versus</i> logique dynamique	62
2.2.2. Systèmes de charge et de précharge de colonnes	67
2.2.3. La ligne à retard	71
2.2.4. Le détecteur de transition d'adresse	72
2.2.5. Le détecteur de transition de donnée.	73
2.2.6. Le décodage d'adresse	73
2.2.6.1. Prédécodage.	75
2.2.6.2. Autres techniques.	79
2.2.7. Le sélectionneur de colonne.	80
2.2.8. L'amplificateur de lecture	82
2.2.9. Le circuit d'écriture.	90
2.3. Conclusion	91
 Chapitre 3. Blocs fonctionnels additionnels	 93
3.1. La boucle à verrouillage de phase.	93
3.2. La boucle à verrouillage de retard	93
3.3. Générateurs de tension internes	95
3.3.1. Sur-volteur de ligne de mot	96
3.3.2. Générateur $mi-V_{DD}$	98
3.3.3. Régulateurs de tension internes.	99
3.4. Implémentation	100
3.5. Conclusion	102
 Chapitre 4. Organisation interne évoluée	 103
4.1. Augmentation du format de donnée	103
4.2. Découpage en blocs	103
4.3. Découpage en banques	105
4.4. Architectures multithreadées.	108
4.5. Conclusion	124
 Chapitre 5. Aspects externes d'un système de mémoires	 125
5.1. Interfaçage	125
5.1.1. Signaux de contrôle de base.	125

5.1.2. Conditionnement du signal	128
5.1.3. Décodage des adresses	129
5.1.4. Interfaces série.	133
5.1.5. Mémoire à accès multiple	134
5.2. Améliorations externes des performances	141
5.2.1. Augmentation du format de donnée	141
5.2.2. Augmentation de la capacité	142
5.2.3. Organisation en rangée.	143
5.2.4. Entrelacements et décalage des adresses	143
5.3. Couplage	152
5.4. Conclusion	152
 Chapitre 6. Notions complémentaires.	 153
6.1. Cadrage d'une donnée	154
6.2. Ordre de rangement des informations : une histoire de boutiens !. . . .	155
6.3. Topographie mémoire d'un système informatique.	160
6.4. Détection et correction d'erreur(s)	162
6.5. Conclusion	167
 Conclusion.	 169
 Annexe 1. Introduction au domaine des codes détecteurs et correcteurs d'erreur(s)	 171
 Annexe 2. Exercices	 201
 Liste des acronymes	 215
 Bibliographie	 233
 Index	 251