

Table des matières

Avant-propos	1
Chapitre 1. Vue d'ensemble de l'intégration de puissance intelligente	3
1.1. Introduction	3
1.2. Applications de circuits intégrés de puissance intelligents (CIP)	4
1.2.1. Écrans plats	4
1.2.2. Alimentation d'ordinateur et pilotes de disque	5
1.2.3. Entraînements de moteurs à vitesse variable	5
1.2.4. Automatisation des usines	6
1.2.5. Télécommunications	7
1.2.6. Commandes d'appareils	7
1.2.7. Électronique grand public	7
1.2.8. Commandes d'éclairage	7
1.2.9. Maison intelligente	8
1.2.10. Électronique aéronautique (avionique)	8
1.2.11. Électronique automobile	8
1.3. Vue historique des dispositifs de puissance MOS	8
1.4. Procédés de fabrication de CIP intelligents	11
1.4.1. Processus dédiés	11
1.4.2. Processus compatibles	11
1.5. Techniques d'isolement	12
1.5.1. Auto-isolation (IS)	12
1.5.2. Isolation diélectrique (ID)	12
1.5.3. Isolation des jonctions (IJ)	13
1.5.4. Techniques avancées d'isolation des jonctions	13

1.5.4.1. Isolation de jonction passive	13
1.5.4.2. Isolation de jonction active	13
1.5.4.3. Protection <i>pull-down</i> active.	14
1.5.4.4. Structures multiples	15
1.6. Description et motivation.	15

Chapitre 2. Intégration modulaire ou hybride 19

2.1. Introduction.	19
2.2. Évolution de la technologie IGBT	20
2.2.1. Présentation de l'IGBT.	20
2.2.1.1. La structure IGBT	21
2.2.1.2. Schéma équivalent	21
2.2.1.3. Amorçage du thyristor parasite.	25
2.2.1.4. Géométrie des cellules.	29
2.2.1.5. Compromis rapidité/faible chute de tension à l'état passant.	29
2.2.2. Structure épitaxiée avec couche tampon et réduction de la durée de vie des porteurs	33
2.2.2.1. Origine	33
2.2.2.2. Influence de la couche tampon	34
2.2.2.3. Influence de la durée de vie des porteurs.	36
2.2.2.4. Influence de la zone de conduction accrue.	38
2.2.3. Structure homogène à contrôle d'injection de charges	39
2.2.4. SDB-IGBT (<i>Silicon Direct Bonding-IGBT</i>)	42
2.2.5. Tranchée d'IGBT	42
2.2.6. IGBT latéral	43
2.3. Technologie d'assemblage	44
2.4. L'aspect thermique	44
2.4.1. Analogie résistance électrique/thermique	45
2.4.2. Analogie impédance électrique/thermique	45
2.4.3. Résistance thermique.	46
2.4.4. Impédance thermique.	47
2.5. Champs d'applications	49
2.5.1. Modules de puissance IGBT pour les applications de traction électrique	49
2.5.1.1. La fatigue de la soudure.	50
2.5.1.2. Décollement de <i>bonding</i>	51
2.5.1.3. Mise en parallèle de puces de puissance	51
2.5.2. Module IPM (<i>Intelligent Power Module</i>) pour applications de faible et moyenne puissances : exemple de la famille RH de chez Fuji	52

Chapitre 3. Intégration monolithique	55
3.1. Intégration fonctionnelle et <i>Smart Power</i>	55
3.2. Passage d'une technologie basse tension (CMOS) à une haute tension.	57
3.2.1. Introduction	57
3.2.2. Présentation du transistor MOS.	57
3.2.2.1. Principe et fonctionnement	57
3.2.2.2. Cahier des charges du transistor MOS	62
3.2.3. Une technologie CMOS typique	66
3.2.3.1. Principales étapes technologiques	66
3.2.3.2. Principales caractéristiques physiques propres à la technologie support	67
3.2.4. Tenue en tension d'une structure issue de la microélectronique.	68
3.2.4.1. Limitation liée au claquage de jonction.	68
3.2.4.2. Limitation liée au claquage d'isolant	72
3.2.5. Amélioration de la tenue au claquage des jonctions grâce aux techniques de garde	73
3.2.5.1. Les anneaux de garde	73
3.2.5.2. Les électrodes ou plaques de champ	75
3.2.5.3. Les jonctions implantées ou extension latérale de jonction	76
3.2.5.4. La couche semi-résistive	77
3.2.5.5. La technique RESURF	77
3.2.6. Amélioration grâce aux techniques d'isolation électrique	78
3.2.6.1. Isolation par jonction	78
3.2.6.2. Isolation par diélectrique	80
3.2.7. Revue des principaux composants MOS pour circuit intégré haute tension.	81
3.2.7.1. Caractéristiques électriques d'un composant MOS haute tension	81
3.2.7.2. Transistor DMOS.	83
3.2.7.3. Transistor LDMOS.	84
3.2.7.4. Transistor LDMOS RESURF	85
3.2.7.5. Transistor LDMOS auto-isolé	86
3.3. Nécessité de combiner analogique et numérique (mixte).	86
3.3.1. L'analogique : blocs fonctionnels de base en technologie CMOS et structures analogiques élémentaires	86
3.3.1.1. Transistors NMOS en source commune	87
3.3.1.2. Montage cascode	88
3.3.1.3. Conclusion sur les deux montages.	92

3.3.2. Rappel sur la structure générale de l'amplificateur opérationnel (AO)	93
3.3.2.1. Caractéristiques et performances des AO	93
3.3.2.2. Structure des AO	94
3.3.2.3. Étage d'entrée rail à rail	95
3.3.2.4. Structure différentielle totale rail à rail	99
3.3.3. Le numérique : le monde des ASIC	101
3.3.4. Notion de codesign	101
3.4. Bilan	103
3.4.1. Simulation d'une interface basse tension/haute tension.	104

Chapitre 4. Technologie de simulation des systèmes d'intégration de puissance 107

4.1. Introduction.	107
4.2. Conception matérielle et logicielle de la commande moteur	108
4.2.1. La spécification fonctionnelle.	112
4.2.2. Exploration de l'espace des solutions : modèle de spécification partitionné	112
4.2.3. Synthèse mixte de code matériel et logicielle	114
4.2.4. Test fonctionnel des modèles	116
4.2.5. Synthèse de la démarche et des outils associés.	117
4.3. Flot de conception proposé et outils associés	118
4.3.1. Précision	119
4.3.2. Les ressources et l'architecture système.	120
4.3.2.1. MATLAB	122
4.3.2.2. SPW	123
4.3.2.3. Le langage VHDL	125
4.3.2.4. Modèle VHDL-AMS du moteur asynchrone	126
4.3.3. Réalisation	128
4.4. Conclusion	130

Chapitre 5. Modélisation électrothermique 133

5.1. Introduction.	133
5.2. Modélisation électrothermique du substrat	134
5.2.1. Brève introduction d'outils mathématiques.	135
5.2.1.1. Noyaux de Green.	135
5.2.1.2. Analyse du substrat	136
5.2.1.3. Analogie avec les lignes à transmission pour les milieux multicouches	138

5.2.2. Résultats de simulation de calculs « Green/TLM »	140
5.2.2.1. Contacts enterrés	143
5.2.2.2. Simulation et optimisation du 2 TSV U-model	146
5.2.2.3. Équation de la chaleur	151
5.2.3. Gestion thermique dans un circuit intégré 3D	158
5.2.3.1. Modélisation thermique	162
5.2.3.2. FEA « Background »	163
5.2.3.3. Contexte de la FDA	165
5.2.3.4. Conception physique thermique	165
5.2.3.5. Planification thermique des couches	166
5.2.3.6. Placement thermique.	166
5.2.4. Conception thermomécanique	166
5.2.5. Modélisation thermique de la connectique	167
5.3. Analyse chaleur pour circuits 3D	168
5.3.1. Modèle 3D compact de transfert de chaleur IC sans TSV	168
5.3.2. CI 3D modèle d'analyse de la température de la puce de la couche supérieure en tenant compte des TSV	169
5.3.3. CI 3D : résultat de la modélisation thermique	171
5.3.4. Modélisation électrothermique (ET) d'un circuit VLS (très grande échelle)	176
5.3.5. Modélisation électrique des circuits VLS (très grande échelle) . .	177
5.3.5.1. Résultats de la modélisation électrique des CI 3D	177
5.3.6. Modélisation thermique des circuits VLS.	180
5.3.7. Modélisation électrothermique de circuits VLS	181
5.3.7.1. Cas I : modèle un via	185
5.3.7.2. Cas II : modèle TSV avec effet RC sur substrat.	190
5.3.7.3. Cas III : modèle TSV avec une résistance thermique très élevée	192
5.4. Bilan	193
5.5. Modélisation de caloducs.	194
5.5.1. Introduction	195
5.5.2. Configurations I & II 2D : simulation	197
5.5.2.1. Solution analytique 2D pour le caloduc : conduction thermique dans le mur.	197
5.5.2.2. Simulation MEF	201
5.5.3. Solution analytique pour caloduc 3D (configuration III)	216
5.5.3.1. Conditions limitant les performances	227
5.6. Conclusion	230

Chapitre 6. Couplage de substrat dans l'intégration intelligente de puissance	231
6.1. Introduction.	231
6.2. Technologie d'isolation en tranchées profondes	231
6.3. Performances des LDMOSFET avec isolation profonde des tranchées.	233
6.3.1. Performances à l'état OFF.	233
6.3.2. Performances à l'état ON	236
6.4. Suppression des parasites dans les circuits <i>Smart Power</i> 2D avec tranchée profonde.	237
6.5. Impact du signal dynamique HT sur les dispositifs CMOS.	242
6.5.1. Impact sur nMOS	243
6.5.1.1. Effet de la longueur ITP (LITP)	246
6.5.1.2. Effet de l'espacement ITP (LS)	247
6.5.2. Impact sur pMOS	247
6.5.2.1. Effet de la longueur DTI (LDTI).	249
6.5.2.2. Effet de l'espacement ITP (LS)	251
6.5.3. Impact sur les régions sensibles du CMOS	253
6.5.3.1. La simulation électrothermique	254
6.6. Simulation de couplage CMOS-substrat en mode mixte	254
6.6.1. Simulation avec électrode en volume flottante du nMOS	255
6.6.2. Simulation avec électrode flottante en volume du pMOS	257
6.7. De l'intégration planaire 2D à l'intégration 3D.	259
6.7.1. 3D IC avec vias traversants (TSV) ou interplans	260
6.8. Intégration 3D <i>Smart Power</i>	261
6.8.1. Impact du TSV et de la RDL sur nMOS	263
6.8.1.1. L'impact du TSV (RDL flottante).	263
6.8.1.2. L'impact de la RDL (TSV flottant)	266
6.8.1.3. Incidence du TSV et de la RDL	267
6.8.2. Impact du TSV et de la RDL sur le pMOS	270
6.8.2.1. L'impact du TSV (RDL flottante).	270
6.8.2.2. L'impact de la RDL	275
6.8.2.3. Incidence du TSV et de la RDL	277
6.8.3. Incidence du TSV et de la RDL sur le CMOS	279
6.9. Couplage en mode mixte TSV-CMOS.	281
6.9.1. Couplage 2D TSV-CMOS.	281
6.9.1.1. Le TSV côté nMOS	281
6.9.1.2. Le TSV côté pMOS	283
6.9.2. Couplage 3D TSV-CMOS en mode mixte	290

6.10. Impact électromagnétique du TSV dans la gamme RF	292
6.10.1. Domaine temporel à différences finies : bref rappel.	292
6.10.2. Structure du via	293
Conclusion	299
Annexe. Modèles physiques semi-conducteurs	303
Bibliographie	329
Index	331