

# Table des matières

<b>Avant-propos</b> . . . . .	1
<b>Chapitre 1. Codage et modes d'adressage</b> . . . . .	5
1.1. Codage et format d'une instruction . . . . .	5
1.2. Modes d'adressage . . . . .	13
1.2.1. Adressage immédiat . . . . .	15
1.2.2. Adressage de registre . . . . .	16
1.2.2.1. Adressage explicite . . . . .	16
1.2.2.2. Adressage implicite . . . . .	17
1.2.3. Adressage de la mémoire . . . . .	18
1.2.3.1. Adressage direct . . . . .	18
1.2.3.2. Adressage relatif . . . . .	20
1.2.3.3. Adressage indirect . . . . .	21
1.2.3.4. Adressages indexé et basé. . . . .	23
1.2.3.5. Combinaisons de modes d'adressage . . . . .	26
1.2.4. Autres modes d'adressage . . . . .	29
1.2.4.1. Adressage de mémoire à mémoire. . . . .	30
1.2.4.2. Adressage (implicite) de la pile . . . . .	30
1.2.4.3. Adressage au niveau du bit . . . . .	30
1.2.4.4. Adressage MMR . . . . .	31
1.2.4.5. Modes d'adressage spécifiques au processeur de signal numérique . . . . .	31
1.2.4.6. Modes spécifiques à l'assembleur . . . . .	36
1.2.4.7. Modes obsolètes . . . . .	36
1.2.5. Synthèse . . . . .	37

---

<b>Chapitre 2. Jeu et classe d'instructions</b> . . . . .	<b>39</b>
2.1. Définitions . . . . .	39
2.2. Instructions de transfert. . . . .	41
2.2.1. Transfert de données . . . . .	41
2.2.2. Instructions de manipulation de l'adresse. . . . .	43
2.3. Instructions de traitement de données . . . . .	43
2.3.1. Instructions arithmétiques pour entiers . . . . .	43
2.3.2. Instructions de manipulation de bits . . . . .	44
2.3.2.1. Définitions préalables . . . . .	46
2.3.2.2. Opérateurs booléens de base . . . . .	46
2.3.2.3. Manipulations non parallèles de base . . . . .	48
2.3.2.4. Instructions de manipulations évoluées de bits . . . . .	51
2.3.2.5. Instructions de manipulations avancées de bits . . . . .	54
2.4. Instructions de transfert de contrôle . . . . .	57
2.4.1. Branchements . . . . .	58
2.4.2. Exécution conditionnelle. . . . .	65
2.4.3. Contrôle d'itération. . . . .	68
2.4.4. Instructions d'appel et de retour d'un sous-programme . . . . .	71
2.5. Instructions environnementales . . . . .	72
2.5.1. Instructions de demande et de retour d'interruption. . . . .	72
2.5.2. Instructions d'arrêt . . . . .	72
2.5.3. Gestion du processeur . . . . .	73
2.5.4. Gestion de la mémoire . . . . .	73
2.5.4.1. Gestion des caches . . . . .	74
2.5.4.2. Gestion du TLB. . . . .	74
2.5.5. Détection du matériel. . . . .	74
2.5.6. Débogage. . . . .	75
2.5.7. Mise à jour . . . . .	75
2.5.8. Vérification . . . . .	75
2.5.9. Divers. . . . .	75
2.6. Instructions du parallélisme . . . . .	75
2.6.1. Instructions atomiques . . . . .	75
2.6.2. Instructions de synchronisation. . . . .	77
2.7. Extensions du jeu d'instructions . . . . .	77
2.7.1. Extension multimédia . . . . .	77
2.7.2. Extension pour le traitement du signal. . . . .	81
2.7.3. Cryptographie . . . . .	81
2.7.4. Gestion du hasard . . . . .	82
2.7.5. Implications . . . . .	82

2.8. Instructions diverses . . . . .	82
2.8.1. Instructions de manipulation de (chaînes de) caractères . . . . .	82
2.8.2. Instructions d'entrée-sortie . . . . .	83
2.8.3. Instructions de haut niveau . . . . .	83
2.8.4. Instructions arithmétiques spécifiques à une représentation de nombres particulière . . . . .	83
2.8.4.1. Représentation en DCB . . . . .	84
2.8.4.2. Représentation pour nombres réels . . . . .	84
2.8.5. Une curieuse instruction . . . . .	85
<b>Chapitre 3. Notions complémentaires . . . . .</b>	<b>87</b>
3.1. Notions associées au jeu d'instructions et à la programmation . . . . .	87
3.1.1. Instructions illégale, non implémentée, invalide, réservée et de confiance . . . . .	87
3.1.2. Alignement ou cadrage des instructions . . . . .	88
3.1.3. Orthogonalité et symétrie . . . . .	90
3.1.4. Codes pur, réentrant, relogeable et pour mémoire morte . . . . .	91
3.1.5. Niveaux de langages de programmation . . . . .	92
3.2. Notions associées à l'exécution . . . . .	93
3.2.1. Conséquences sur le temps d'exécution et l'occupation mémoire . . . . .	93
3.2.2. Modes d'exécution . . . . .	95
3.2.3. Portabilité . . . . .	99
3.2.4. Virtualisation . . . . .	99
3.3. Compatibilités matérielle et logicielle . . . . .	102
3.3.1. Compatibilité matérielle . . . . .	102
3.3.2. Compatibilité logicielle . . . . .	103
3.3.3. Compatibilités ascendante et descendante . . . . .	103
3.4. Mesure des performances du processeur . . . . .	106
3.4.1. Fréquence de cadencement . . . . .	106
3.4.2. Nombre d'instructions par cycle . . . . .	107
3.4.3. Temps d'exécution . . . . .	110
3.4.4. Programmes de test des performances . . . . .	111
3.4.5. Évolution des performances dans le temps . . . . .	115
3.5. Critères de choix . . . . .	117
<b>Chapitre 4. Sous-programme . . . . .</b>	<b>119</b>
4.1. Mémoire à pile . . . . .	119
4.2. Principes de base et mécanismes sous-jacents . . . . .	127

4.2.1. Appels imbriqués . . . . .	129
4.2.2. Contexte d'exécution . . . . .	131
4.2.3. Passage des paramètres et convention d'appel . . . . .	131
<b>Chapitre 5. Mécanisme d'interruption . . . . .</b>	<b>135</b>
5.1. Origine, définition et classement . . . . .	135
5.2. Causes externes . . . . .	137
5.2.1. Contexte d'exécution . . . . .	141
5.2.2. Sources . . . . .	142
5.2.3. Masquage . . . . .	144
5.2.4. Prise en compte et priorité . . . . .	147
5.2.5. Contrôleur d'interruptions . . . . .	150
5.3. Interruptions emboîtées . . . . .	151
5.4. Causes internes . . . . .	152
5.5. Débogage . . . . .	156
5.6. Priorité entre interruptions internes et externes . . . . .	157
5.7. Identification de la source et vectorisation . . . . .	164
5.8. Interruptions emboîtées et mises en file d'attente . . . . .	170
5.9. Utilisations . . . . .	171
5.10. Interruptions et modes d'exécution . . . . .	173
5.11. Interruptions et architectures avancées . . . . .	173
<b>Conclusion . . . . .</b>	<b>183</b>
<b>Annexe 1. Exercices . . . . .</b>	<b>185</b>
<b>Annexe 2. Tables d'encodage et de décodage d'instructions . . . . .</b>	<b>191</b>
<b>Liste des acronymes . . . . .</b>	<b>197</b>
<b>Bibliographie . . . . .</b>	<b>213</b>
<b>Index . . . . .</b>	<b>229</b>

---

<b>Sommaire de <i>Le microprocesseur 1</i> . . . . .</b>	<b>251</b>
<b>Sommaire de <i>Le microprocesseur 2</i> . . . . .</b>	<b>253</b>
<b>Sommaire de <i>Le microprocesseur 3</i> . . . . .</b>	<b>255</b>
<b>Sommaire de <i>Le microprocesseur 5</i> . . . . .</b>	<b>257</b>