

## Table des matières

<b>Avant-propos</b>	9
<b>Chapitre 1. Bascules</b>	11
1.1. Introduction	11
1.2. Généralités	11
1.2.1. Bascule SR asynchrone	16
1.2.2. Bascule $\overline{S} \overline{R}$ asynchrone	19
1.2.3. Application : interrupteur antirebond	21
1.3. Bascule SR synchrone	22
1.3.1. Mise en œuvre basée sur la bascule SR asynchrone	22
1.3.2. Mise en œuvre basée sur la bascule $\overline{S} \overline{R}$ asynchrone	24
1.4. Bascule D	25
1.5. Bascule JK	26
1.6. Bascule T	28
1.7. Bascule maître-esclave et bascule à déclenchement par front	29
1.7.1. Bascule maître-esclave	30
1.7.1.1. Bascule D maître-esclave	30
1.7.1.2. Bascule JK maître-esclave	31
1.7.2. Bascule à déclenchement par front du signal d'horloge	33
1.7.2.1. Principe de détection du front	33
1.7.2.2. Bascule D à déclenchement par front	34
1.8. Bascules à entrées prioritaires	37
1.9. Caractéristiques opérationnelles des bascules	40
1.10. Exercices	42
1.11. Solutions	47

<b>Chapitre 2. Compteurs binaires</b>	<b>57</b>
2.1. Introduction	57
2.2. Compteur modulo 4	58
2.3. Compteur modulo 8	59
2.4. Compteur modulo 16	61
2.5. Compteur modulo 10	63
2.6. Compteur avec entrées parallèles de chargement	66
2.7. Décompteur	67
2.8. Compteur synchrone réversible	69
2.9. Décodage d'un compteur	70
2.10. Exercices	71
2.11. Solutions	78
<b>Chapitre 3. Registres à décalage</b>	<b>89</b>
3.1. Introduction	89
3.2. Registre à décalage de type entrée série	89
3.3. Registre à décalage de type entrées parallèles	90
3.4. Registre à décalage bidirectionnel	92
3.5. Banc de registres	94
3.6. Compteur basé sur le principe du registre à décalage	95
3.6.1. Compteur en anneau	96
3.6.2. Compteur Johnson	97
3.6.3. Compteur à rétroaction linéaire	99
3.6.3.1. Compteur quatre bits	100
3.6.3.2. Application : circuit d'autotest	101
3.6.3.3. Registre BILBO	104
3.7. Exercices	105
3.8. Solutions	111
<b>Chapitre 4. Circuits arithmétiques et logiques</b>	<b>121</b>
4.1. Introduction	121
4.2. Additionneur	121
4.2.1. Demi-additionneur	121
4.2.2. Additionneur complet	122
4.2.3. Additionneur à propagation de retenue	124
4.2.4. Additionneur à anticipation de retenue	126
4.2.5. Additionneur à sélection de retenue	128
4.2.6. Additionneur à saut de retenue	129
4.3. Comparateur	131
4.4. Unité arithmétique et logique	134
4.5. Multiplieur	140

4.5.1. Multiplieur de nombres non signés de deux bits . . . . .	140
4.5.2. Multiplieur de nombres non signés de quatre bits . . . . .	141
4.5.3. Multiplieur de nombres signés . . . . .	142
4.6. Diviseur . . . . .	147
4.7. Exercices . . . . .	154
4.8. Solutions . . . . .	164

## **Chapitre 5. Technologies des circuits intégrés numériques . . . . . 183**

5.1. Introduction . . . . .	183
5.2. Caractéristiques . . . . .	183
5.2.1. Tension d'alimentation en courant continu . . . . .	183
5.2.2. Niveaux logiques . . . . .	184
5.2.3. Immunité aux bruits . . . . .	184
5.2.4. Retard de propagation . . . . .	185
5.2.5. Puissance électrique consommée . . . . .	185
5.2.6. Sortance ou facteur de charge . . . . .	185
5.3. Famille logique TTL . . . . .	186
5.3.1. Transistor bipolaire à jonction . . . . .	186
5.3.2. Porte NAND TTL . . . . .	187
5.3.3. Circuit intégré TTL . . . . .	189
5.4. Famille logique CMOS . . . . .	189
5.4.1. Transistor MOSFET . . . . .	189
5.4.2. Portes logiques CMOS . . . . .	190
5.5. Portes logiques à drain ouvert . . . . .	192
5.6. Circuit tampon à trois états . . . . .	194
5.7. Circuit intégré CMOS . . . . .	195
5.8. Autres familles logiques . . . . .	195
5.9. Interfaçage des circuits de différentes technologies . . . . .	195
5.10. Exercices . . . . .	196
5.11. Solutions . . . . .	199

## **Chapitre 6. Mémoires à semi-conducteurs . . . . . 203**

6.1. Introduction . . . . .	203
6.2. Organisation de la mémoire . . . . .	203
6.3. Fonctionnement d'une mémoire . . . . .	205
6.4. Types de mémoires . . . . .	207
6.4.1. Mémoires mortes . . . . .	207
6.4.2. Mémoires vives . . . . .	211
6.4.3. Caractéristiques des différents types de mémoires . . . . .	216
6.5. Applications . . . . .	217
6.5.1. Connexion des mémoires . . . . .	218

6.5.2. Applications . . . . .	219
6.5.2.1. Exemple 1 . . . . .	219
6.5.2.2. Exemple 2 . . . . .	219
6.5.2.3. Convertisseur de code binaire en code BCD . . . . .	223
6.5.2.4. Convertisseur de code BCD en code binaire . . . . .	224
6.6. Autres types de mémoire . . . . .	226
6.6.1. Mémoire FRAM . . . . .	227
6.6.2. Mémoire CAM . . . . .	230
6.6.3. Mémoire à accès séquentiel . . . . .	231
6.6.3.1. Mémoire FIFO . . . . .	232
6.6.3.2. Mémoire LIFO . . . . .	233
6.7. Exercices . . . . .	234
6.8. Solutions . . . . .	239
<b>Chapitre 7. Circuits logiques programmables . . . . .</b>	<b>253</b>
7.1. Généralités . . . . .	253
7.2. Circuits PLD . . . . .	254
7.2.1. Cas du circuit PROM . . . . .	255
7.2.2. Cas du circuit PAL . . . . .	256
7.2.3. Cas du circuit PLA . . . . .	256
7.3. Applications . . . . .	261
7.3.1. Réalisation des fonctions logiques . . . . .	261
7.3.2. Additionneur deux bits . . . . .	264
7.3.3. Convertisseurs de code binaire en code BCD et de code BCD en code binaire . . . . .	268
7.4. Circuits logiques programmables CPLD et FPGA . . . . .	268
7.4.1. Principe et technologie . . . . .	269
7.4.2. Circuit CPLD . . . . .	274
7.4.3. Circuit FPGA . . . . .	276
7.5. Références . . . . .	280
7.6. Exercices . . . . .	280
7.7. Solutions . . . . .	287
<b>Annexe. Circuits intégrés numériques et logiciels . . . . .</b>	<b>305</b>
<b>Bibliographie . . . . .</b>	<b>307</b>
<b>Index . . . . .</b>	<b>309</b>

## Avant-propos

L'omniprésence des appareils électroniques au quotidien s'est accompagnée de la miniaturisation et l'augmentation de la complexité des circuits numériques. Cet ouvrage très complet et de compréhension facile traite des principes de base de l'électronique numérique et permet de comprendre les subtilités de la conception des circuits numériques, des portes logiques aux machines avec un nombre fini d'états. Il aborde de manière exhaustive les aspects liés à la logique combinatoire et à la logique séquentielle. Il propose des techniques pour établir, de façon simple et concise, les équations logiques, ainsi que les méthodes d'analyse et de synthèse des circuits numériques. Un accent particulier est mis sur les approches de conception permettant d'assurer un fonctionnement fiable des machines avec un nombre fini d'états. Sont également présentées les différentes structures des circuits logiques programmables et leurs applications. Chaque chapitre est complété par des exemples pratiques et des exercices d'application corrigés.

L'ouvrage couvre les différents aspects de l'électronique numérique en suivant une méthode descriptive, combinée à un exposé graduel, détaillé et compréhensif des notions de base. Il traite de l'analyse et la conception des circuits numériques, des portes logiques aux machines (automates) ayant un nombre fini d'états. Les principes de la logique combinatoire et séquentielle, ainsi que les techniques sous-jacentes à l'analyse et la conception des circuits numériques, sont présentés dans cet ouvrage qui est divisé en trois volumes portant sur les sujets suivants :

- 1) circuits logiques combinatoires ;
- 2) circuits logiques séquentiels et arithmétiques ;
- 3) machines avec un nombre fini d'états.

L'approche est progressive et les chapitres relativement indépendants les uns des autres. Pour faciliter l'assimilation et la mise en pratique des différents concepts, l'ouvrage est complété par une sélection d'exercices d'application corrigés.

## Sommaire

Ce volume 2 couvre les circuits logiques séquentiels et arithmétiques. L'état logique de la sortie d'un circuit logique séquentiel à un instant donné peut dépendre des entrées mais aussi des états logiques de la sortie aux instants précédents. Selon que la prise en compte du changement d'état en sortie dépend ou non d'un signal d'horloge, un circuit séquentiel est dit synchrone ou asynchrone. En ce qui concerne les circuits arithmétiques, ils permettent de réaliser les opérations d'addition, de soustraction, de multiplication, et de division sur des données numériques. Ce volume contient les sept chapitres suivants :

- 1) Bascules ;
- 2) Compteurs binaires ;
- 3) Registres à décalage ;
- 4) Circuits arithmétiques et logiques ;
- 5) Technologies des circuits intégrés numériques ;
- 6) Mémoires à semi-conducteurs ;
- 7) Circuits logiques programmables.

## Public concerné

Cet ouvrage est un outil indispensable pour les étudiants en Licence ou Master (premier et deuxième cycles universitaires) et les élèves des écoles d'ingénieur qui désirent acquérir les connaissances pratiques approfondies en électronique numérique. Il est suffisamment détaillé pour servir de référence à des électroniciens, automaticiens et informaticiens.

### 1.1. Introduction

Une bascule est un circuit bistable, qui est utilisé le plus souvent dans les applications qui nécessitent la mémorisation des données. Elle est caractérisée par le fait que sa sortie ne dépend pas seulement de l'état actuel des entrées, mais aussi de l'état précédent de la sortie. Un circuit bistable possède deux sorties complémentaires pouvant se stabiliser à l'un ou l'autre des états logiques 0 et 1.

On distingue les bascules asynchrones et les bascules synchrones. Les bascules synchrones peuvent être déclenchées par l'un des niveaux ou l'un des fronts d'un signal d'horloge (ou d'un signal numérique de commande).

Les bascules asynchrones et les bascules synchrones déclenchées par niveau sont aussi appelées verrous (ou *latch* en anglais), et peuvent être combinées pour réaliser les bascules synchrones déclenchées par front (ou *flip-flop* en anglais) (Artois 2012).

### 1.2. Généralités

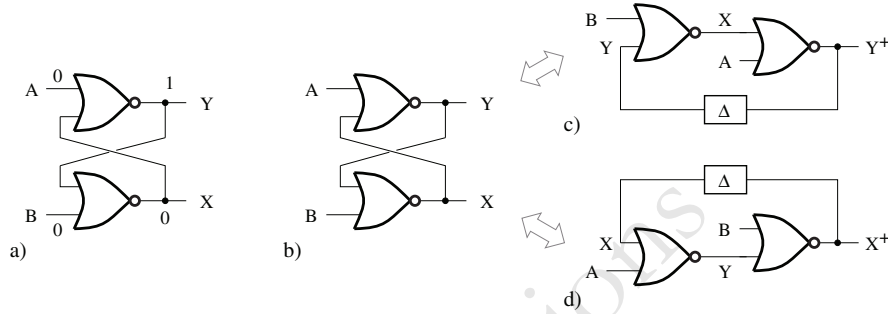
La bascule la plus élémentaire est réalisée en utilisant deux portes logiques NOR ou deux portes logiques NAND.

Une bascule à portes NOR avec conditions initiales est représentée à la figure 1.1a. L'équation caractéristique pour chacune des sorties est déterminée en supposant que les portes logiques possèdent des temps de propagation différents<sup>1</sup> et pouvant être

---

1. Les retards de propagation des portes logiques sont supposés être de la forme, 1 et  $1 + \Delta$ , respectivement.

modélisés comme un retard,  $\Delta$ , entre un signal qui devient disponible en sortie et le signal de rétroaction appliqué à l'entrée. Ainsi, le circuit logique de la bascule, tel qu'illustré à la figure 1.1b, peut être transformé comme le montrent les figures 1.1c et 1.1d (Simon 2008).



**Figure 1.1.** a) Bascule à portes NOR avec conditions initiales;  
 b) circuit logique de la bascule et représentations  
 pour la détermination de c)  $Y^+$  et de d)  $X^+$

En se référant à la figure 1.1c, on peut écrire :

$$X = \overline{B + Y} \quad [1.1]$$

$$Y^+ = \overline{A + X} \quad [1.2]$$

La substitution de [1.1] dans [1.2] fournit :

$$Y^+ = \overline{A + \overline{B + Y}} \quad [1.3]$$

$$\begin{aligned} &= \overline{A} \cdot \overline{\overline{B + Y}} \\ &= \overline{A} \cdot (B + Y) \\ &= \overline{A} \cdot B + \overline{A} \cdot Y \end{aligned} \quad [1.4]$$

De manière analogue, le circuit de la figure 1.1d peut être décrit par les équations logiques suivantes :

$$X^+ = \overline{B + Y} \quad [1.5]$$

$$Y = \overline{A + X} \quad [1.6]$$



En substituant [1.5] dans [1.6], il vient :

$$X^+ = \overline{B + A + X} \quad [1.7]$$

$$\begin{aligned} &= \overline{B \cdot \overline{A + X}} \\ &= \overline{B} \cdot (A + X) \\ &= A \cdot \overline{B} + \overline{B} \cdot X \end{aligned} \quad [1.8]$$

Les équations caractéristiques de la bascule à portes NOR sont donc données par :

$$X^+ = A \cdot \overline{B} + \overline{B} \cdot X \quad [1.9]$$

et :

$$Y^+ = \overline{A} \cdot B + \overline{A} \cdot Y \quad [1.10]$$

Pour chacune des sorties, l'état suivant,  $X^+$  ou  $Y^+$ , dépend de l'état actuel,  $X$  ou  $Y$ . En plus des équations caractéristiques, il faut spécifier les conditions initiales pour déterminer le fonctionnement de la bascule. Le tableau 1.1 montre la table de fonctionnement de la bascule.

A	B	X	$X^+$	$Y^+$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	0
1	1	1	0	0

**Tableau 1.1.** Table de fonctionnement de la bascule à portes NOR

Il est à noter que les deux signaux,  $X^+$  et  $Y^+$ , sont complémentaires excepté lorsque les deux entrées  $A$  et  $B$  sont mises à 1.

De plus, si les entrées  $A$  et  $B$  passent simultanément à l'état 0, les sorties ne peuvent plus être définies de manière unique, car les équations caractéristiques sont vérifiées par  $(X, Y) = (1, 0)$  ou par  $(X, Y) = (0, 1)$ . Il est donc impossible de prédire la combinaison d'états pris par les sorties (Formain 2015).

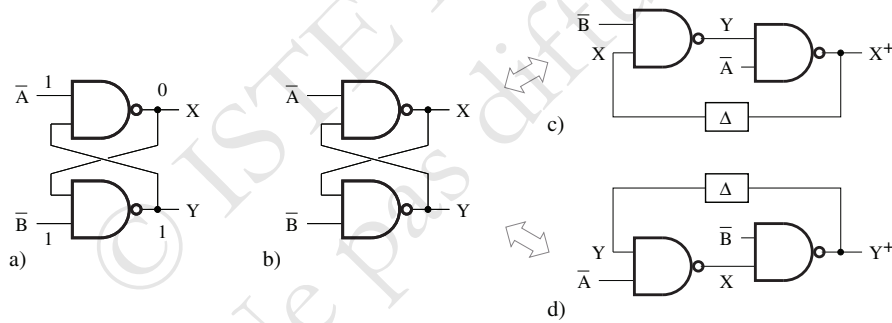
En pratique, on choisit de faire fonctionner le plus souvent les circuits séquentiels en *mode fondamental*. Ce qui signifie qu'une seule entrée peut changer d'état à un

instant donné. D'autre part, à cause de la différence entre les retards de propagation des portes logiques, il est impossible de garantir la modification simultanée de deux variables. Ainsi, les sorties de la bascule sont définies par  $(X, Y) = (0, 1)$  si  $A$  est d'abord mis à 0 ou par  $(X, Y) = (1, 0)$  si  $B$  est d'abord mis à 0. Dans ce cas, l'état final du circuit est déterminé par le comportement transitoire qui dépend de l'ordre dans lequel s'opèrent les changements d'état aux entrées. En général, lorsque le passage d'un état à un autre nécessite la modification d'au moins deux variables d'état, il s'établit une *condition de course*.

La course est dite *non critique* si l'ordre dans lequel les variables changent d'état n'affecte pas l'état final du circuit.

Si par contre le circuit peut atteindre deux ou plusieurs états stables selon l'ordre dans lequel les variables changent d'état, la course est dite *critique*.

Une bascule à portes NAND avec les conditions initiales est illustrée à la figure 1.2a. En tenant compte du fait que la différence entre les temps de propagation des portes logiques peut se traduire par un retard,  $\Delta$ , entre une sortie et l'entrée de rétroaction, une équivalence peut être établie entre la bascule de la figure 1.2b et chacune des représentations données par les figures 1.2c et 1.2d.



**Figure 1.2.** a) Bascule à portes NAND avec conditions initiales;  
b) circuit logique de la bascule et représentations  
pour la détermination de c)  $X^+$  et de d)  $Y^+$

D'après le circuit de la figure 1.2c, on peut dériver les équations logiques suivantes :

$$X^+ = \overline{\overline{A} \cdot Y} \quad [1.11]$$

$$Y = \overline{\overline{B} \cdot X} \quad [1.12]$$

En substituant [1.12] dans [1.11], on obtient :

$$X^+ = \overline{\overline{A} \cdot \overline{B} \cdot X} \quad [1.13]$$

$$\begin{aligned} &= \overline{\overline{A}} + \overline{\overline{B} \cdot X} \\ &= A + \overline{B} \cdot X \end{aligned} \quad [1.14]$$

Dans le cas du circuit de la figure 1.2d, les équations logiques s'écrivent comme suit :

$$X = \overline{A \cdot Y} \quad [1.15]$$

$$Y^+ = \overline{B \cdot X} \quad [1.16]$$

Par substitution de [1.15] dans [1.16], il vient :

$$Y^+ = \overline{B \cdot \overline{A \cdot Y}} \quad [1.17]$$

$$\begin{aligned} &= \overline{\overline{B}} + \overline{\overline{A \cdot Y}} \\ &= B + \overline{A} \cdot Y \end{aligned} \quad [1.18]$$

Les équations caractéristiques de la bascule à portes NAND sont donc de la forme suivante :

$$X^+ = A + \overline{B} \cdot X \quad [1.19]$$

et :

$$Y^+ = B + \overline{A} \cdot Y \quad [1.20]$$

La table de fonctionnement de la bascule à portes NAND peut être construite à partir des équations caractéristiques et des conditions initiales, comme le montre le tableau 1.2.

$\overline{A}$	$\overline{B}$	X	$X^+$	$Y^+$
1	1	1	1	0
1	1	0	0	1
1	0	1	0	1
1	0	0	0	1
0	1	1	1	0
0	1	0	1	0
0	0	1	1	1
0	0	0	1	1

**Tableau 1.2.** Table de fonctionnement de la bascule à portes NAND

On remarque que les signaux  $X^+$  et  $Y^+$  sont complémentaires excepté lorsque les deux entrées  $\bar{A}$  et  $\bar{B}$  sont mises à 0.

De plus, les signaux  $X^+$  et  $Y^+$  ne sont définis de manière unique que si les entrées  $\bar{A}$  et  $\bar{B}$  ne peuvent pas passer simultanément de l'état 0 à l'état 1. Ainsi, les sorties de la bascule sont définies par  $(X, Y) = (0, 1)$  si l'entrée  $\bar{A}$  est d'abord mise à 1 ou par  $(X, Y) = (1, 0)$  si l'entrée  $\bar{B}$  est d'abord mise à 1. Dans ce cas, comme l'état final dépend de l'ordre dans lequel s'opèrent les changements d'état aux entrées, on a une condition de course critique.

Parmi les combinaisons d'état que peuvent prendre les sorties de la bascule, seules celles pour lesquelles  $X^+ = X$  et  $Y^+ = Y$  sont dites *stables*.

### 1.2.1. Bascule SR asynchrone

Pour la bascule SR (S pour *Set*, R pour *Reset*) représentée à la figure 1.3, on peut obtenir les équations caractéristiques à partir des équations [1.9] et [1.10], comme suit :

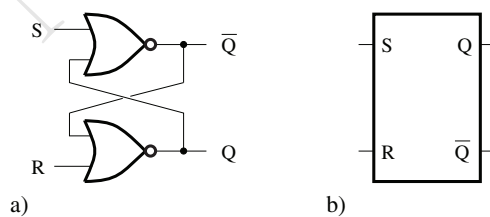
$$Q^+ = \bar{R} \cdot S + \bar{R} \cdot Q = \bar{R} \cdot (S + Q) \quad [1.21]$$

et :

$$\bar{Q}^+ = \bar{S} \cdot R + \bar{S} \cdot \bar{Q} = \bar{S} \cdot (R + \bar{Q}) \quad [1.22]$$

Il est à noter qu'en inversant  $Q^+$ , on n'obtient pas  $\bar{Q}^+$ . La table de fonctionnement est donnée au tableau 1.3.

Une bascule SR dont la condition initiale est spécifiée peut aussi être caractérisée en utilisant la table de vérité du tableau 1.4. La bascule SR est dite *à remise à 0 dominant*, car la mise à 1 des deux entrées fait passer la sortie  $Q$  à l'état 0.



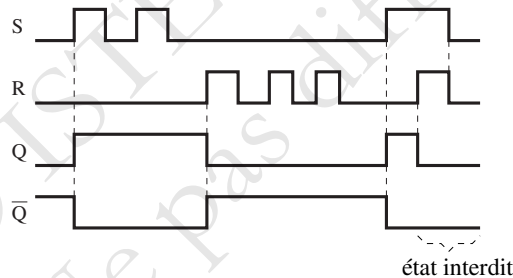
**Figure 1.3.** Bascule SR : a) circuit logique ; b) symbole

S	R	Q	$Q^+$	$\overline{Q}^+$
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	0
1	1	1	0	0

**Tableau 1.3.** Table de fonctionnement de la bascule SR

S	R	$Q^+$	$\overline{Q}^+$	
0	0	Q	$\overline{Q}$	pas de changement
0	1	0	1	remise à 0 de $Q^+$
1	0	1	0	mise à 1 de $Q^+$
1	1	0	0	état interdit

**Tableau 1.4.** Table de vérité de la bascule SR



**Figure 1.4.** Chronogramme de la bascule SR

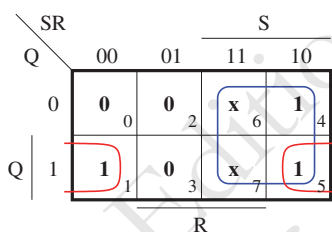
La figure 1.4 illustre un chronogramme de la bascule SR, où les différents modes de fonctionnement qui apparaissent dans la table de vérité peuvent être distingués.

Cependant, si l'état interdit ( $S = R = 1$ ) est considéré comme un état indifférent, la table de fonctionnement prend la forme du tableau 1.5. En construisant un diagramme de Karnaugh, comme le montre la figure 1.5, on obtient une autre version de l'équation caractéristique, qui est donnée par :

$$Q^+ = S + Q \cdot \overline{R} \quad \text{et} \quad S \cdot R = 0 \quad [1.23]$$

S	R	Q	$Q^+$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	x
1	1	1	x

**Tableau 1.5.** Table de fonctionnement avec états indifférents (bascule SR)



**Figure 1.5.** Diagramme de Karnaugh pour la bascule SR

Cette dernière équation est utile pour les applications où toutes les deux entrées  $S$  et  $R$  ne peuvent pas prendre l'état 1.

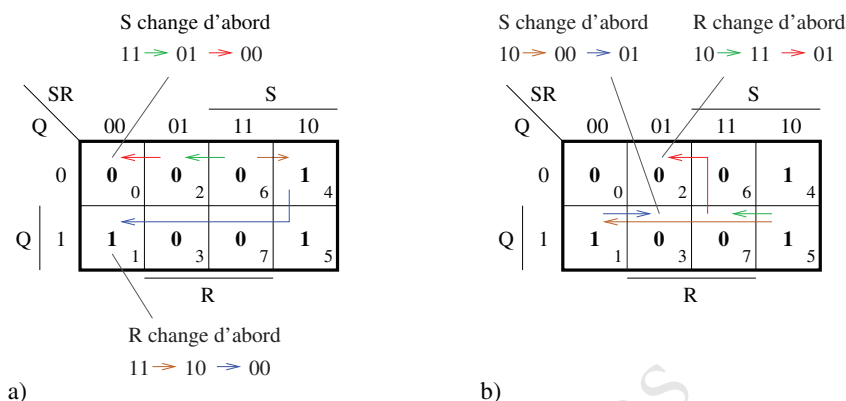
Lorsqu'une transition nécessite le changement d'au moins deux variables d'état, une analyse basée sur les diagrammes de Karnaugh, comme le montre la figure 1.6, est nécessaire pour détecter les conditions de course critique.

Considérons qu'à partir de l'état initial, où  $S = 1$ ,  $R = 1$ , et  $Q = 0$ , et qui correspond à la case 6 du diagramme de Karnaugh de la figure 1.6a, les deux entrées  $S$  et  $R$  doivent être mises à zéro.

Le changement d'état de  $S$  peut s'effectuer avant celui de  $R$ , ou *vice versa*.

Les flèches insérées dans le diagramme de Karnaugh permettent d'illustrer la réponse de la bascule dans chaque cas.

En termes de  $SR$ , il se produit la transition  $11 \rightarrow 01 \rightarrow 00$ , et la sortie est maintenue à l'état final  $Q^+ = 0$ , correspondant à la case 0, si  $S$  change d'abord, ou la transition  $11 \rightarrow 10 \rightarrow 00$ , et l'état final de la sortie est alors  $Q^+ = 1$ , correspondant à case 1, si  $R$  change d'abord.



**Figure 1.6.** Diagramme de Karnaugh : a) course critique ;  
b) course non critique

Dans le cas de la figure 1.6b, la bascule est initialement caractérisée par  $S = 1$ ,  $R = 0$ , et  $Q = 1$  ; ce qui correspond à la case 5 du diagramme de Karnaugh.

Comme les transitions possibles,  $10 \rightarrow 00 \rightarrow 01$  lorsque  $S$  change d'abord ou  $10 \rightarrow 11 \rightarrow 01$  lorsque  $R$  change d'abord, permettent à la sortie de prendre le même état final,  $Q^+ = 0$ , correspondant à la case 3 ou 2, il s'agit d'une condition de course non critique.

On peut vérifier que la seule condition de course critique dans une bascule SR se produit lorsque les entrées  $S$  et  $R$  initialement mises à 1 sont remises à 0.

### 1.2.2. Bascule $\overline{S} \overline{R}$ asynchrone

La bascule  $\overline{S} \overline{R}$  est mise en œuvre en utilisant des portes NAND, comme le montre la figure 1.7a. Sa représentation symbolique est donnée à la figure 1.7b. En se basant sur la table de vérité du tableau 1.6, on peut noter que les entrées sont actives par niveau bas. La bascule  $\overline{S} \overline{R}$  est dite à *mise à 1 dominant*, car la mise à 1 des deux entrées fait passer la sortie  $Q$  à l'état 1.

L'effet d'une condition de course sur le fonctionnement de la bascule peut être analysé en utilisant un diagramme de Karnaugh.

En se référant à la figure 1.8a, la bascule est initialement caractérisée par  $\overline{S} = 0$  et  $\overline{R} = 0$ , et  $Q = 1$  (case 1), et le passage des entrées  $\overline{S}$  et  $\overline{R}$  à l'état 1 doit entraîner la modification des deux variables d'état. Si à cause de la différence entre les retards