

# Table des matières

<b>Introduction</b> . . . . .	13
<b>Chapitre 1. Sources de dissipation dans les circuits électroniques</b> . . . . .	15
1.1. Brève description des types de logique . . . . .	15
1.1.1. Logique booléenne . . . . .	15
1.1.2. Logique combinatoire et logique séquentielle . . . . .	20
1.1.3. Transistors NMOS et PMOS . . . . .	29
1.1.4. Logique complémentaire CMOS . . . . .	34
1.1.4.1. Temps de propagation et minimisation de ce temps . . . . .	34
1.1.4.2. Facteur d'activité et réduction de ce facteur . . . . .	36
1.1.5. Logique <i>pass-transistor</i> . . . . .	37
1.1.6. Logique dynamique. . . . .	40
1.2. Origine de la dissipation de chaleur dans les circuits . . . . .	44
1.2.1. Effet Joule dans les circuits . . . . .	44
1.2.2. Calcul de la puissance dynamique . . . . .	46
1.2.3. Origine et calcul de la puissance statique . . . . .	48
<b>Chapitre 2. Thermodynamique et théorie de l'information</b> . . . . .	51
2.1. Rappel des grandeurs fondamentales : entropie et information . . . . .	51
2.1.1. Définition statistique de l'entropie . . . . .	51
2.1.2. Energie et entropie macroscopiques . . . . .	54
2.1.3. Echange avec un thermostat, loi de Boltzmann et équipartition de l'énergie . . . . .	57
2.1.3.1. Loi de Boltzmann . . . . .	57
2.1.3.2. Fonction de partition . . . . .	59

- 2.1.3.3. Théorème d'équirépartition de l'énergie . . . . . 60
- 2.1.4. Résumé et exemple de la production d'énergie dans un conducteur parcouru par un courant . . . . . 62
- 2.1.5. Information et entropie associée . . . . . 63
- 2.2. Exposé du principe de Landauer . . . . . 68
  - 2.2.1. Exposé du principe de Landauer et de quelques autres exemples . . . . . 68
    - 2.2.1.1. Limite de l'énergie utilisée . . . . . 68
    - 2.2.1.2. Principe de Landauer . . . . . 69
    - 2.2.1.3. Exemple de Feynman . . . . . 70
    - 2.2.1.4. Le paradoxe du démon de Maxwell . . . . . 72
  - 2.2.2. Les validations expérimentales du principe de Landauer . . . . . 74
    - 2.2.2.1. Vérification sur un dispositif physique . . . . . 74
    - 2.2.2.2. Vérification sur un dispositif électrique . . . . . 75
- 2.3. Adiabaticité et réversibilité . . . . . 76
  - 2.3.1. Principe adiabatique de charge d'un condensateur . . . . . 76
    - 2.3.1.1. Charge d'une capacité constante . . . . . 76
    - 2.3.1.2. Charge d'une capacité constante au travers d'une résistance variable . . . . . 79
    - 2.3.1.3. Charge d'une capacité variable au travers d'une résistance variable . . . . . 80
    - 2.3.1.4. Charge d'une capacité constante en mode adiabatique . . . . . 81
    - 2.3.1.5. Optimisation de la charge d'un condensateur : cas général . . . . . 83
    - 2.3.1.6. Optimisation de la charge d'un condensateur avec prise en compte des courants de fuite . . . . . 87
  - 2.3.2. De l'adiabaticité à la réversibilité : une approche circuit . . . . . 91
    - 2.3.2.1. Solution quasi adiabatique . . . . . 96
    - 2.3.2.2. Solution adiabatique . . . . . 97

**Chapitre 3. Modèles de transistors en technologie CMOS . . . . . 99**

- 3.1. Rappel des propriétés des semi-conducteurs . . . . . 99
  - 3.1.1. Etats et densité de porteurs dans les semi-conducteurs . . . . . 99
    - 3.1.1.1. Electrons et trous . . . . . 99
    - 3.1.1.2. Densités d'états et fonctions de Bloch . . . . . 100
    - 3.1.1.3. Bandes d'énergie et énergie de Fermi . . . . . 100
    - 3.1.1.4. Densités de porteurs . . . . . 104
  - 3.1.2. Le courant dans un semi-conducteur . . . . . 107
  - 3.1.3. Potentiels de contact . . . . . 109
  - 3.1.4. Structure métal-oxyde-semi-conducteur . . . . . 110
  - 3.1.5. Faible et forte inversion . . . . . 116

3.1.5.1. Forte inversion . . . . .	116
3.1.5.2. Faible inversion. . . . .	117
3.2. Modèles statiques canal long et canal court . . . . .	120
3.2.1. Principe de base et brève histoire de la technologie semi-conducteur . . . . .	120
3.2.2. Structure du transistor et pseudo-potentiels de Fermi . . . . .	123
3.2.3. Calcul du courant en régime statique canal long. . . . .	126
3.2.4. Calcul du courant en faible inversion . . . . .	130
3.2.5. Calcul du courant en régime de canal court. . . . .	133
3.2.5.1. Saturation de la vitesse . . . . .	134
3.2.5.2. Diminution de la longueur du canal effectif . . . . .	135
3.2.5.3. Diminution du seuil effectif . . . . .	135
3.3. Modèles dynamiques du transistor . . . . .	136
3.3.1. Régime quasi statique . . . . .	136
3.3.2. Régime dynamique . . . . .	140
3.3.3. Modèle « petits signaux » du transistor . . . . .	140

## Chapitre 4. Limites pratiques et théoriques

<b>de la technologie CMOS . . . . .</b>	<b>147</b>
4.1. Compromis vitesse-dissipation et limites de la technologie CMOS . . . . .	147
4.1.1. Du transistor au circuit intégré . . . . .	147
4.1.2. Compromis vitesse-consommation. . . . .	150
4.1.3. Compromis consommation dynamique-consommation statique. . . . .	153
4.2. Régime sous le seuil. . . . .	157
4.2.1. Rappel des propriétés de faible inversion . . . . .	157
4.2.2. Calcul et minimisation de l'énergie dissipée . . . . .	158
4.2.3. Limites de la technologie CMOS sous le seuil . . . . .	162
4.3. Limites pratiques et théoriques en technologie CMOS . . . . .	164
4.3.1. Considérations économiques et évolution des méthodologies . . . . .	164
4.3.1.1. Difficultés économiques : coût des équipements et des masques . . . . .	164
4.3.1.2. Difficultés méthodologiques : complexité de la conception et du test . . . . .	165
4.3.1.3. Difficultés de programmation liées au parallélisme . . . . .	165
4.3.2. Difficultés technologiques : dissipation, variabilité, interconnexions . . . . .	166
4.3.2.1. Dissipation de chaleur . . . . .	166
4.3.2.2. Contrôle de la variabilité . . . . .	167
4.3.2.3. Evolution des interconnexions . . . . .	172
4.3.3. Limites théoriques et questions ouvertes . . . . .	173

4.3.3.1. Limites venant de l'application du théorème de Shannon combiné aux relations d'incertitude de Heisenberg . . .	173
4.3.3.2. Prise en compte de l'effet tunnel source-drain. . . . .	175
4.3.3.3. Nécessité ou non de la logique réversible . . . . .	176

**Chapitre 5. La très basse consommation au niveau système . . . . . 177**

5.1. Evolution des technologies de gestion de la puissance . . . . .	177
5.1.1. Techniques de base pour réduire la puissance dynamique . . . . .	177
5.1.1.1. Techniques de parallélisation. . . . .	177
5.1.1.2. Techniques de <i>voltage scaling</i> . . . . .	179
5.1.1.3. Réduction de l'excursion de tension. . . . .	179
5.1.1.4. Techniques indépendantes de la technologie. . . . .	179
5.1.1.5. Techniques dépendantes de la technologie. . . . .	180
5.1.2. Techniques de base pour réduire la puissance statique . . . . .	180
5.1.2.1. Techniques multi-seuils . . . . .	181
5.1.2.2. Techniques multi-tensions . . . . .	181
5.1.2.3. Techniques pour réduire les courants sous le seuil . . . . .	181
5.1.2.4. Logique MTCMOS . . . . .	183
5.1.2.5. Logique VTCMOS ( <i>Variable Threshold CMOS</i> ). . . . .	184
5.1.2.6. Techniques dynamiques de réduction du courant sous le seuil (DVS et DVTS). . . . .	184
5.1.3. Conception en technologie 90 nm-65 nm-45 nm . . . . .	185
5.1.3.1. Technologie 90 nm. . . . .	185
5.1.3.2. Technologie 65 nm. . . . .	185
5.1.3.3. Technologie 45 nm. . . . .	186
5.2. Les circuits intégrés sous le seuil . . . . .	186
5.2.1. Spécificités des circuits sous le seuil. . . . .	186
5.2.2. Pipeline et parallélisation . . . . .	187
5.2.3. Nouvelles architectures de SRAM . . . . .	187
5.3. Les circuits près du seuil . . . . .	188
5.3.1. Méthode d'optimisation . . . . .	188
5.4. Interconnexions et réseau sur puce . . . . .	193
5.4.1. Dissipation dans les interconnexions . . . . .	193
5.4.2. Techniques pour réduire la dissipation dans les interconnexions. . . . .	198
5.4.2.1. Réduction de l'excursion de tension. . . . .	198
5.4.2.2. Réduction du taux d'activité . . . . .	199
5.4.2.3. Réduction des capacités d'interconnexion . . . . .	199
5.4.2.4. Réseaux sur puce et liens optiques . . . . .	199

<b>Chapitre 6. Le calcul réversible et le calcul quantique . . . . .</b>	<b>201</b>
6.1. Les bases du calcul réversible . . . . .	201
6.1.1. Introduction . . . . .	201
6.1.2. Structure de groupe des portes réversibles . . . . .	202
6.1.3. Conservatisme, linéarité et affinité . . . . .	204
6.1.3.1. Portes conservatives . . . . .	204
6.1.3.2. Portes linéaires . . . . .	204
6.1.3.3. Portes linéaires affines . . . . .	205
6.1.4. Les portes d'échange . . . . .	205
6.1.5. Les portes de contrôle . . . . .	207
6.1.5.1. L'inverseur contrôlé . . . . .	209
6.1.5.2. La porte de Toffoli . . . . .	210
6.1.5.3. La porte de Feynman . . . . .	210
6.1.5.4. La porte de Fredkin . . . . .	211
6.1.6. Deux théorèmes de base : <i>no fan-out</i> et <i>no cloning</i> . . . . .	211
6.2. Quelques éléments pour la synthèse d'une fonction . . . . .	212
6.2.1. Le problème de la synthèse et ses contraintes . . . . .	212
6.2.2. Synthèse d'une fonction réversible . . . . .	212
6.2.3. Synthèse d'une fonction non réversible . . . . .	215
6.2.4. Exemple de l'additionneur . . . . .	217
6.2.5. Implémentations matérielles des portes réversibles . . . . .	219
6.2.5.1. Inverseur contrôlé à un seul bit de contrôle . . . . .	220
6.2.5.2. Inverseur contrôlé à deux bits de contrôle . . . . .	220
6.3. Calcul réversible et calcul quantique . . . . .	222
6.3.1. Principes du calcul quantique . . . . .	223
6.3.2. Intrication . . . . .	224
6.3.3. Quelques exemples de portes quantiques . . . . .	226
6.3.4. Exemple de l'algorithme de Grover et perspectives du calcul quantique . . . . .	227
 <b>Chapitre 7. Les circuits CMOS quasi adiabatiques . . . . .</b>	 <b>233</b>
7.1. Les portes logiques adiabatiques en CMOS . . . . .	233
7.1.1. Mise en œuvre du principe de charge optimale et pipeline adiabatique . . . . .	233
7.1.2. Logique ECRL et PFAL en CMOS . . . . .	240
7.1.2.1. ECRL phase 1 : phase d'établissement des entrées . . . . .	241
7.1.2.2. ECRL phase 2 : phase d'évaluation . . . . .	242
7.1.2.3. ECRL phase 3 : phase de maintien . . . . .	242
7.1.2.4. ECRL phase 4 : phase de remise à zéro . . . . .	242

7.1.2.5. PFAL phase 1 : phase d'établissement des entrées . . . . .	244
7.1.2.6. PFAL phase 2 : phase d'évaluation . . . . .	244
7.1.2.7. PFAL phase 3 : phase de maintien. . . . .	244
7.1.2.8. PFAL phase 4 : phase de remise à zéro. . . . .	245
7.1.3. Autres technologies de portes et comparaison . . . . .	245
7.2. Calcul de la dissipation dans un circuit adiabatique . . . . .	247
7.2.1. Calcul en régime normal. . . . .	247
7.2.1.1. Phase 1 : phase d'établissement des entrées . . . . .	247
7.2.1.2. Phase 2 : phase d'évaluation . . . . .	247
7.2.1.3. Phase 3 : phase de maintien. . . . .	249
7.2.1.4. Phase 4 : phase de remise à zéro . . . . .	250
7.2.1.5. Phase 1 : évènement suivant . . . . .	251
7.2.2. Calcul en régime sous le seuil. . . . .	254
7.2.2.1. Phase 1 : établissement des entrées . . . . .	254
7.2.2.2. Phase 2 : évaluation . . . . .	254
7.2.2.3. Phase 3 : phase de maintien. . . . .	257
7.2.2.4. Phase 4 : phase de remise à zéro . . . . .	257
7.3. Les alimentations à récupération d'énergie . . . . .	259
7.3.1. Alimentation à base de capacités . . . . .	259
7.3.2. Alimentation à base d'inductance . . . . .	268
7.4. Les architectures arithmétiques adiabatiques . . . . .	275
7.4.1. Principes de base . . . . .	275
7.4.2. Exemple de l'additionneur. . . . .	276
7.4.3. Intérêt des portes complexes . . . . .	277

## **Chapitre 8. La technologie à base de micro-relais . . . . . 281**

8.1. La physique des micro-relais . . . . .	282
8.1.1. Les différentes technologies de calcul . . . . .	282
8.1.2. Les différentes technologies d'actuation . . . . .	283
8.1.2.1. Relais magnétique . . . . .	283
8.1.2.2. Relais thermique . . . . .	283
8.1.2.3. Relais piézo-électrique . . . . .	284
8.1.2.4. Relais électrostatique . . . . .	284
8.1.3. La modélisation dynamique des micro-relais. . . . .	286
8.1.4. Exemples de réalisation et difficultés technologiques. . . . .	292
8.1.4.1. Les micro-relais à membrane de Berkeley . . . . .	292
8.1.4.2. Les micro-relais de type cantilever de Stanford . . . . .	292
8.1.4.3. Le nano-relais du KAIST . . . . .	293
8.1.4.4. Les travaux de Case-Western University . . . . .	293
8.1.4.5. Les travaux du projet européen NEMIAC . . . . .	294

---

8.2. Calcul de la dissipation dans un circuit à base de micro-relais . . . . .	294
8.2.1. Optimisation du micro-relais à actuation électrostatique . . . . .	294
8.2.2. Les solutions en régime adiabatique . . . . .	301
8.2.3. Comparaison entre CMOS et micro-relais . . . . .	307
8.2.3.1. Synthèse des résultats obtenus en CMOS classique . . . . .	307
8.2.3.2. Synthèse des résultats obtenus en CMOS sous le seuil. . . . .	307
8.2.3.3. Synthèse des résultats obtenus pour la CMOS adiabatique en régime normal . . . . .	308
8.2.3.4. Synthèse des résultats obtenus pour la CMOS adiabatique en régime sous le seuil. . . . .	308
8.2.3.5. Synthèse des résultats obtenus pour la technologie micro-relais adiabatique . . . . .	309
<b>Bibliographie . . . . .</b>	<b>311</b>
<b>Index . . . . .</b>	<b>313</b>